

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-22677

(P2020-22677A)

(43) 公開日 令和2年2月13日(2020.2.13)

(51) Int.Cl.	F I	テーマコード (参考)
A 6 1 B 1/045 (2006.01)	A 6 1 B 1/045 6 3 0	2 H 0 4 0
G 0 2 B 23/24 (2006.01)	G 0 2 B 23/24 A	4 C 1 6 1
H 0 4 N 7/18 (2006.01)	H 0 4 N 7/18 M	5 C 0 5 4
H 0 4 N 5/225 (2006.01)	H 0 4 N 5/225 5 0 0	5 C 1 2 2
H 0 4 N 5/232 (2006.01)	H 0 4 N 5/232 4 1 0	
審査請求 未請求 請求項の数 11 O L (全 20 頁) 最終頁に続く		

(21) 出願番号	特願2018-149380 (P2018-149380)	(71) 出願人	000000376
(22) 出願日	平成30年8月8日 (2018.8.8)		オリンパス株式会社
			東京都八王子市石川町2951番地
		(74) 代理人	100076233
			弁理士 伊藤 進
		(74) 代理人	100101661
			弁理士 長谷川 靖
		(74) 代理人	100135932
			弁理士 篠浦 治
		(72) 発明者	山崎 晋
			東京都八王子市石川町2951番地 オリ
			ンパス株式会社内
		Fターム(参考)	2H040 CA04 CA11 DA03 DA12 DA14
			DA15 DA21 GA02 GA11
			4C161 CC06 LL02 NN01 SS03
			最終頁に続く

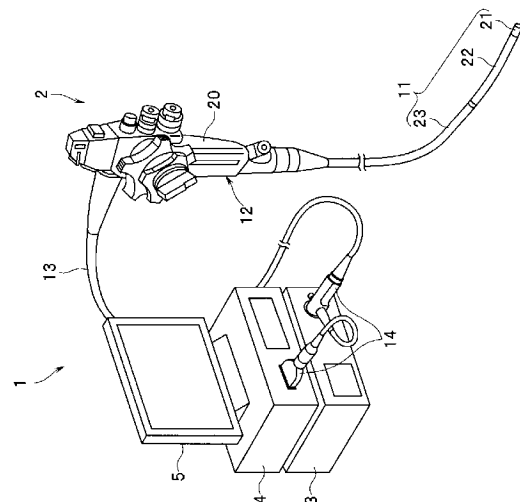
(54) 【発明の名称】 撮像装置、内視鏡及び内視鏡システム

(57) 【要約】

【課題】パルス信号を出力する回路をチップに搭載した場合でも、チップ面積を小型化することができる撮像装置を提供する。

【解決手段】撮像装置は、二次元マトリクス状に配置され、外部から光を受光し、受光量に応じた撮像信号を生成する撮像素子と、撮像素子に電力を伝送するユニバーサルケーブル13と、ユニバーサルケーブル13の基端側に設けられ、入力されたパルス信号の正電圧レベル及び負電圧レベルを所定正電圧レベル及び所定負電圧レベルに変換した交流電圧パルス信号を生成し、ユニバーサルケーブル13に出力する交流電圧パルス信号生成部56と、ユニバーサルケーブル13の先端側に設けられ、ユニバーサルケーブル13から伝送された交流電圧パルス信号の所定正電圧レベル及び所定負電圧レベルを直流電圧レベルに変換して、直流電圧パルス信号を出力する電圧調整部39と、を備える。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

二次元マトリクス状に配置され、外部から光を受光し、受光量に応じた撮像信号を生成する複数の画素を有する撮像素子と、

前記撮像素子に電力を送送する伝送ケーブルと、

前記伝送ケーブルの基端側に設けられ、入力されたパルス信号の正電圧レベル及び負電圧レベルを所定正電圧レベル及び所定負電圧レベルに変換した交流電圧パルス信号を生成し、前記伝送ケーブルに前記交流電圧パルス信号を出力する交流電圧パルス信号生成部と、

前記伝送ケーブルの先端側に設けられ、前記伝送ケーブルから伝送された前記交流電圧パルス信号の所定正電圧レベル及び所定負電圧レベルを直流電圧レベルに変換して、直流電圧パルス信号を出力する電圧調整部と、

を備えたことを特徴とする撮像装置。

10

【請求項 2】

前記交流電圧パルス信号生成部は、前記所定正電圧レベルを有する正電源と前記所定負電圧レベルを有する負電源によって駆動されるバッファアンプを有し、

前記バッファアンプは、入力された前記パルス信号の前記正電圧レベルを前記正電源によって前記所定正電圧レベルに変換し、前記パルス信号の前記負電圧レベルを前記負電源によって前記所定負電圧レベルに変換することを特徴とする請求項 1 に記載の撮像装置。

【請求項 3】

20

前記撮像素子と前記伝送ケーブルとの間に接続され、前記伝送ケーブルから伝送された前記交流電圧パルス信号から負電圧を生成する平滑部をさらに備え、

前記電圧調整部は、前記平滑部が生成した前記負電圧が入力され、前記負電圧を用いて、前記伝送ケーブルから伝送された前記交流電圧パルス信号の前記所定正電圧レベル及び前記所定負電圧レベルを調整することを特徴とする請求項 1 に記載の撮像装置。

【請求項 4】

前記電圧調整部は、2 つ以上の論理回路を組み合わせた構成であり、前記 2 つ以上の論理回路のうち少なくとも 1 つの論理回路の N M O S トランジスタのソース端子を前記平滑部の出力に接続し、前記少なくとも 1 つの論理回路を除く論理回路の N M O S トランジスタのソース端子を G N D に接続した構成であることを特徴とする請求項 3 に記載の撮像装置。

30

【請求項 5】

前記論理回路は、2 つ以上のインバータ回路を組み合わせた構成であり、初段インバータ回路の N M O S トランジスタのソース端子を前記平滑部の出力に接続し、後段インバータ回路の N M O S トランジスタのソース端子を G N D に接続した構成であることを特徴とする請求項 4 に記載の撮像装置。

【請求項 6】

前記論理回路は、N A N D 回路及びインバータ回路、または、N O R 回路及びインバータ回路を組み合わせた構成であることを特徴とする請求項 4 に記載の撮像装置。

【請求項 7】

40

前記電圧調整部は、前記伝送ケーブルから伝送された前記交流電圧パルス信号の前記所定正電圧レベル及び前記所定負電圧レベルをレベルシフトして出力するレベルシフト回路と、前記レベルシフト回路の出力を反転して出力するインバータ回路とを有することを特徴とする請求項 1 に記載の撮像装置。

【請求項 8】

前記電圧調整部は、前記伝送ケーブルから伝送された前記交流電圧パルス信号を反転増幅して出力する増幅回路と、前記増幅回路の出力を反転して出力するインバータ回路とを有することを特徴とする請求項 1 に記載の撮像装置。

【請求項 9】

前記電圧調整部が出力した前記直流電圧パルス信号に基づいて前記撮像素子を駆動する

50

ための駆動信号を生成するタイミング生成部をさらに有することを特徴とする請求項 1 に記載の撮像装置。

【請求項 10】

請求項 1 から請求項 9 のいずれか 1 つに記載の撮像装置と、
被検体内に挿入可能な挿入部と、
前記撮像信号に対して画像処理を施す画像処理装置に対して、着脱自在なコネクタ部と

を備え、

前記撮像素子、前記電圧調整部は、前記挿入部の先端側に設けられ、前記交流電圧パルス信号生成部は、前記コネクタ部に設けられたことを特徴とする内視鏡。

10

【請求項 11】

請求項 10 に記載の内視鏡と、
前記撮像信号に対して画像処理を施す画像処理装置と、
を備えたことを特徴とする内視鏡システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、被写体を撮像して被写体の画像データを生成する撮像装置、内視鏡及び内視鏡システムに関する。

【背景技術】

20

【0002】

従来、被検体の内部の被写体を撮像する内視鏡、及び、内視鏡により撮像された被写体の観察画像を生成するプロセッサ等を具備する内視鏡システムが、医療分野及び工業分野等において広く用いられている。

【0003】

例えば、特許文献 1 では、コネクタ部のパルス信号重畳部で生成された負電圧パルス信号を分離部及びパルス信号検出部によって、それぞれ負電圧（負電源）及びパルス信号に分離して第 1 チップに出力する撮像装置が開示されている。

【0004】

ところで、内視鏡の挿入部の先端部に搭載される撮像部は、内視鏡の挿入部の細径化のために、チップ面積が小さく小型であることが望ましい。そのためには、パルス信号検出をチップに集積し、撮像部を小型化することが望まれる。

30

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特許第 6 1 3 8 4 0 6 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、従来の撮像部ではパルス信号検出部を構成するハイパスフィルタの時定数が大きいため、ハイパスフィルタを構成する抵抗及びコンデンサの値も大きくなり、パルス信号検出部をチップに集積した場合、チップ面積が大きくなり、撮像部の小型化の妨げとなっていた。

40

【0007】

本発明は、上記事情に鑑みてなされたもので、パルス信号を出力する回路をチップに搭載した場合でも、チップ面積を小型化することができる撮像装置、内視鏡及び内視鏡システムを提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の一態様の撮像装置は、二次元マトリクス状に配置され、外部から光を受光し、

50

受光量に応じた撮像信号を生成する複数の画素を有する撮像素子と、前記撮像素子に電力を送る伝送ケーブルと、前記伝送ケーブルの基端側に設けられ、入力されたパルス信号の正電圧レベル及び負電圧レベルを所定正電圧レベル及び所定負電圧レベルに変換した交流電圧パルス信号を生成し、前記伝送ケーブルに前記交流電圧パルス信号を出力する交流電圧パルス信号生成部と、前記伝送ケーブルの先端側に設けられ、前記伝送ケーブルから伝送された前記交流電圧パルス信号の所定正電圧レベル及び所定負電圧レベルを直流電圧レベルに変換して、直流電圧パルス信号を出力する電圧調整部と、を備える。

【0009】

また、本発明の一態様の内視鏡は、上記一態様の撮像装置と、被検体内に挿入可能な挿入部と、前記撮像信号に対して画像処理を施す画像処理装置に対して、着脱自在なコネクタ部と、を備え、前記撮像素子、前記電圧調整部、前記タイミング生成部は、前記挿入部の先端側に設けられ、前記交流電圧パルス信号生成部は、前記コネクタ部に設けられている。

10

【0010】

また、本発明の一態様の内視鏡システムは、上記一態様の内視鏡と、前記撮像信号に対して画像処理を施す画像処理装置と、を備える。

【発明の効果】

【0011】

本発明の撮像装置、内視鏡及び内視鏡システムによれば、パルス信号を出力する回路をチップに搭載した場合でも、チップ面積を小型化することができる。

20

【図面の簡単な説明】

【0012】

【図1】第1の実施形態に係る内視鏡システムの全体構成の一例を示す全体構成図である。

【図2】第1の実施形態の内視鏡システム1の要部の構成を示すブロック図である。

【図3】電圧調整部39の構成の一例を示す回路図である。

【図4】第1の実施形態に係る内視鏡システムの動作の一例を示すタイミングチャートである。

【図5】電圧調整部39の構成の他の例を示す回路図である。

【図6】電圧調整部39の構成の他の例を示す回路図である。

30

【図7】電圧調整部39の構成の他の例を示す回路図である。

【図8】電圧調整部39の構成の他の例を示す回路図である。

【図9】第2の実施形態の内視鏡システム1の要部の構成を示すブロック図である。

【図10】電圧調整部39Aの構成の一例を示す回路図である。

【図11】第2の実施形態に係る内視鏡システムの動作の一例を示すタイミングチャートである。

【図12】第3の実施形態の内視鏡システム1の要部の構成を示すブロック図である。

【図13】電圧調整部39Bの構成の一例を示す回路図である。

【図14】第3の実施形態に係る内視鏡システムの動作の一例を示すタイミングチャートである。

40

【発明を実施するための形態】

【0013】

以下、図面を参照して本発明の実施形態を説明する。

(第1の実施形態)

図1は、第1の実施形態に係る内視鏡システムの全体構成の一例を示す全体構成図である。

【0014】

図1に示すように、内視鏡システム1は、内視鏡2と、光源装置3と、画像処理装置としてのビデオプロセッサ4と、表示装置5と、を有して主要部が構成されている。

【0015】

50

内視鏡 2 は、被検体の観察対象部位へ挿入する細長の挿入部 1 1 と、この挿入部 1 1 の基端部に連設された操作部 1 2 と、この操作部 1 2 の側面より延設されたユニバーサルケーブル 1 3 と、このユニバーサルケーブル 1 3 の延出端部に設けられたコネクタ部 1 4 と、を有して構成されている。コネクタ部 1 4 は、光源コネクタと、光源コネクタの側部から延出する電気ケーブルと、この電気ケーブルの延出端に配設された電気コネクタと、を有して構成されている。なお、コネクタ部 1 4 の光源コネクタは、光源装置 3 に着脱自在に接続される。そして、コネクタ部 1 4 の電気コネクタは、ビデオプロセッサ 4 に着脱自在に接続される。

【0016】

挿入部 1 1 は、先端側に先端部 2 1 を有し、この先端部 2 1 の基端部に湾曲自在な湾曲部 2 2 が連設されている。さらに、この湾曲部 2 2 の基端部に軟性の管状の部材より形成される長尺で可撓性を有する可撓管部 2 3 が連設されている。先端部 2 1 には、被検体の画像情報を取得するための撮像部 3 0 (図 2 参照) が設けられている。

【0017】

操作部 1 2 は、操作把持部を構成する操作部本体 2 0 を有して構成されている。操作部本体 2 0 には、挿入部 1 1 の湾曲部 2 2 を湾曲操作するためのアングルノブが回転自在に配設されるとともに、吸引ボタン、送気送水ボタン、各種内視鏡機能のスイッチ類などが設けられている。

【0018】

光源装置 3 は、内視鏡 2 内に設けられたライトガイド (不図示) に、照明光を供給するものである。即ち、本実施形態の内視鏡 2 のユニバーサルケーブル 1 3、操作部 1 2、及び、挿入部 1 1 内には、ライトガイドが配設されており、このライトガイドを介して、光源装置 3 は、先端部 2 1 の照明窓を構成する照明光学系まで照明光を供給する。この照明光は、照明光学系によって発散されて被検部位を照射する。

【0019】

ビデオプロセッサ 4 は、内視鏡 2 が撮像した画像データに画像処理を施して画像信号を生成し、生成した画像信号を表示装置 5 に出力する。表示装置 5 は、ビデオプロセッサ 4 が生成した画像信号に対応する画像を表示する。

【0020】

また、ビデオプロセッサ 4 は、内視鏡システム 1 の全体の制御を行う。例えば、ビデオプロセッサ 4 は、光源装置 3 が出射する照明光を切り替えたり、内視鏡 2 の撮像モードを切り替えたりする制御を行う。

【0021】

図 2 は、第 1 の実施形態の内視鏡システム 1 の要部の構成を示すブロック図である。図 2 を参照して、内視鏡システム 1 の各部構成の詳細及び内視鏡システム 1 内の電気信号の経路について説明する。

【0022】

まず、内視鏡 2 の構成について説明する。図 2 に示す撮像装置としての内視鏡 2 は、撮像部 3 0 と、伝送ケーブルを構成するユニバーサルケーブル 1 3 と、コネクタ部 1 4 とを備える。

【0023】

撮像部 3 0 は、第 1 チップ 3 1 と、第 2 チップ 3 2 と、平滑部 3 3 と、を備える。撮像部 3 0 に供給される電源電圧 VDD とグラウンド GND との間には、電源安定用のコンデンサ C1 が設けられている。

【0024】

撮像素子としての第 1 チップ 3 1 は、二次元マトリクス状に配置され、外部から光を受光し、受光量に応じた撮像信号を生成して出力する複数の単位画素 3 5 が配置された受光部 3 4 と、受光部 3 4 における複数の単位画素 3 5 の各々で光電変換された撮像信号を読み出す読み出し部 3 6 と、コネクタ部 1 4 から入力される基準クロック信号および後述する電圧調整部 3 9 から入力されるパルス信号に基づいて、受光部 3 4 を駆動するための受

10

20

30

40

50

光部駆動信号および読み出し部 3 6 を駆動するための読み出し部駆動信号を含む駆動信号を生成して受光部 3 4 および読み出し部 3 6 へ出力するタイミング生成部 3 7 と、を有する。

【0025】

第 2 チップ 3 2 は、第 1 チップ 3 1 における複数の単位画素 3 5 の各々から出力された撮像信号を増幅してユニバーサルケーブル 1 3 へ出力するバッファ 3 8 と、後述する交流電圧パルス信号生成部 5 6 からの交流電圧パルス信号を、High 側が 3 V ($V_{DD} = 3$ V)、Low 側が 0 V (グラウンド GND) とした直流電圧レベルに変換して、直流電圧のパルス信号 (直流電圧パルス信号) をタイミング生成部 3 7 に出力する電圧調整部 3 9 と、を有する。

10

【0026】

平滑部 3 3 は、第 1 チップ 3 1 とユニバーサルケーブル 1 3 との間、及び、第 2 チップ 3 2 とユニバーサルケーブル 1 3 との間に接続され、ユニバーサルケーブル 1 3 から伝送された負電圧から直流成分と交流成分とを分離し、分離した直流成分を第 1 チップ 3 1 へ出力する。平滑部 3 3 は、後述する負電圧が伝送されるユニバーサルケーブル 1 3 (信号線) に直列に接続された抵抗 4 0 (例えば 100 Ω) と、後述する交流電圧パルス信号生成部 5 6 とグラウンド GND との間に接続されたバイパスコンデンサ 4 1 と、を有し、RC 回路 (ローパスフィルタ回路) を形成する。これにより、後述するコネクタ部 1 4 から入力された負電圧に重畳された交流成分のパルス信号がカットされて直流成分が単位画素 3 5 に出力される。

20

【0027】

ユニバーサルケーブル 1 3 は、少なくとも、電源電圧生成部 5 5 によって生成された電源電圧を撮像部 3 0 に伝送する信号線、交流電圧パルス信号生成部 5 6 によって生成された交流電圧パルス信号を撮像部 3 0 に伝送する信号線、パルス信号生成部 5 4 によって生成された基準クロック信号を撮像部 3 0 に伝送する信号線、撮像部 3 0 によって生成された撮像信号をコネクタ部 1 4 に伝送する信号線、及び、撮像部 3 0 にグラウンド GND を伝送する信号線の 5 本を用いて構成されている。

【0028】

コネクタ部 1 4 は、アナログ・フロント・エンド部 5 1 (以下、「AFE 部 5 1」という) と、A/D 変換部 5 2 と、撮像信号処理部 5 3 と、パルス信号生成部 5 4 と、電源電圧生成部 5 5 と、交流電圧パルス信号生成部 5 6 と、を有する。

30

【0029】

AFE 部 5 1 は、撮像部 3 0 から伝搬される撮像信号を受信し、抵抗等の受動素子を用いてインピーダンスマッチングを行った後、コンデンサを用いて交流成分を取り出し、分圧抵抗によって動作点を決定する。その後、AFE 部 5 1 は、撮像信号 (アナログ信号) を増幅して A/D 変換部 5 2 へ出力する。

【0030】

A/D 変換部 5 2 は、AFE 部 5 1 から入力されたアナログの撮像信号をデジタルの撮像信号に変換して撮像信号処理部 5 3 へ出力する。

【0031】

撮像信号処理部 5 3 は、例えば FPG A (Field Programmable Gate Array) により構成され、A/D 変換部 5 2 から入力されるデジタルの撮像信号に対して、ノイズ除去およびフォーマット変換処理等の処理を行ってビデオプロセッサ 4 へ出力する。

40

【0032】

パルス信号生成部 5 4 は、ビデオプロセッサ 4 から供給され、内視鏡 2 の各構成部の動作の基準となるクロック信号 (例えば、27 MHz のクロック信号) に基づいて、撮像部 3 0 の各構成部の動作の基準となる基準クロック信号を生成し、この基準クロック信号を、ユニバーサルケーブル 1 3 を介して撮像部 3 0 のタイミング生成部 3 7 へ出力する。また、パルス信号生成部 5 4 は、ビデオプロセッサ 4 から供給され、内視鏡 2 の各構成部の動作の基準となるクロック信号に基づいて、撮像部 3 0 の駆動信号を生成するためのパル

50

ス信号を交流電圧パルス信号生成部 5 6 へ出力する。

【 0 0 3 3 】

電源電圧生成部 5 5 は、ユニバーサルケーブル 1 3 の基端側に設けられ、ビデオプロセッサ 4 から供給される電源から、第 1 チップ 3 1 と第 2 チップ 3 2 を駆動するのに必要な電源電圧 V D D を生成して第 1 チップ 3 1 および第 2 チップ 3 2 へ出力する。電源電圧生成部 5 5 は、レギュレーターなどを用いて第 1 チップ 3 1 と第 2 チップ 3 2 を駆動するのに必要な電源電圧 V D D を生成する。

【 0 0 3 4 】

交流電圧パルス信号生成部 5 6 は、所定正電圧レベルを有する正電源 (V D D = 4 . 5 V) と、所定負電圧レベルを有する負電源 (V E E = - 1 V) によって駆動されるバッファアンプ 5 7 を備える。バッファアンプ 5 7 は、パルス信号生成部 5 4 から供給されるパルス信号の正電圧レベルを正電源によって 4 . 5 V に変換し、負電圧レベルを負電源によって - 1 V に変換する。すなわち、交流電圧パルス信号生成部 5 6 は、ユニバーサルケーブル 1 3 の基端側に設けられ、パルス信号生成部 5 4 から供給されるパルス信号に基づき、H i g h 側が 4 . 5 V 、L o w 側が - 1 V の交流電圧パルス信号を生成し、ユニバーサルケーブル 1 3 を介して撮像部 3 0 へ出力する。

10

【 0 0 3 5 】

次に、ビデオプロセッサ 4 の構成について説明する。

ビデオプロセッサ 4 は、内視鏡システム 1 の全体を統括的に制御する制御装置である。ビデオプロセッサ 4 は、電源部 6 1 と、画像信号処理部 6 2 と、クロック生成部 6 3 と、記憶部 6 4 と、入力部 6 5 と、プロセッサ制御部 6 6 と、を備える。

20

【 0 0 3 6 】

電源部 6 1 は、電源電圧を生成し、この生成した電源電圧をグランド (G N D) とともに、コネクタ部 1 4 の電源電圧生成部 5 5 へ供給する。

【 0 0 3 7 】

画像信号処理部 6 2 は、撮像信号処理部 5 3 で信号処理が施されたデジタルの撮像信号に対して、同時化处理、ホワイトバランス (W B) 調整処理、ゲイン調整処理、ガンマ補正処理、デジタルアナログ (D / A) 変換処理、フォーマット変換処理等の画像処理を行って画像信号に変換し、この画像信号を表示装置 5 へ出力する。

【 0 0 3 8 】

30

クロック生成部 6 3 は、内視鏡システム 1 の各構成部の動作の基準となるクロック信号を生成し、このクロック信号をパルス信号生成部 5 4 へ出力する。

【 0 0 3 9 】

記憶部 6 4 は、内視鏡システム 1 に関する各種情報や処理中のデータ等を記憶する。記憶部 6 4 は、F l a s h メモリや R A M (Random Access Memory) の記憶媒体を用いて構成される。

【 0 0 4 0 】

入力部 6 5 は、内視鏡システム 1 に関する各種操作の入力を受け付ける。例えば、入力部 6 5 は、光源装置 3 が出射する照明光の種別を切り替える指示信号の入力を受け付ける。入力部 6 5 は、例えば十字スイッチやプッシュボタン等を用いて構成される。

40

【 0 0 4 1 】

プロセッサ制御部 6 6 は、内視鏡システム 1 を構成する各部を統括的に制御する。プロセッサ制御部 6 6 は、C P U (Central Processing Unit) 等を用いて構成される。プロセッサ制御部 6 6 は、入力部 6 5 から入力された指示信号に応じて、光源装置 3 が出射する照明光を切り替える。

【 0 0 4 2 】

このように撮像部 3 0 を構成することで、交流電圧パルス信号生成部 5 6 から供給される負電圧は、単位画素 3 5 の駆動に用いられ、必要とされる電流が少ないため、短時間であれば平滑部 3 3 のバイパスコンデンサ 4 1 からの電圧供給が可能となる。平滑部 3 3 は、バイパスコンデンサ 4 1 と抵抗 4 0 とを用いて、R C 回路 (ローパスフィルタ回路) を

50

形成することによって、パルス信号が単位画素 35 へ十分に低減されて伝送される。さらに、電圧調整部 39 は、High 側を 3 V ($V_{DD} = 3\text{ V}$)、Low 側を 0 V (グランド GND) とした直流電圧のパルス信号 (直流電圧パルス信号) を生成してタイミング生成部 37 へ出力する。

【0043】

次に、電圧調整部 39 の詳細な構成について説明する。図 3 は、電圧調整部 39 の構成の一例を示す回路図である。

【0044】

図 3 に示すように、電圧調整部 39 は、PMOS トランジスタ 72 及び NMOS トランジスタ 73 により構成される初段 (前段) のインバータ回路 71 と、PMOS トランジスタ 75 及び NMOS トランジスタ 76 により構成される後段のインバータ回路 74 とを有して構成される。なお、電圧調整部 39 は、通常のインバータ回路 71 及び 74 を用いて構成されているが、これに限定されることなく、例えばノイズ対策として、ヒステリシス特性を有するインバータ回路を用いて構成してもよい。

10

【0045】

電圧調整部 39 は、2 つのインバータ回路 71 及び 74 を直列に接続した構成であり、初段のインバータ回路 71 の出力端子が後段のインバータ回路 74 の入力端子に接続されている。

【0046】

初段のインバータ回路 71 の PMOS トランジスタ 72 のゲート端子と NMOS トランジスタ 73 のゲート端子とを接続した入力端子には、交流電圧パルス信号生成部 56 の出力端子が接続され、交流電圧パルス信号生成部 56 からの交流電圧パルス信号が入力される。

20

【0047】

また、初段のインバータ回路 71 の PMOS トランジスタ 72 のソース端子は電源 ($V_{DD} = 3\text{ V}$) に接続され、NMOS トランジスタ 73 のソース端子は平滑部 33 の出力 (負電源 = -1 V) に接続されている。さらに、初段のインバータ回路 71 の PMOS トランジスタ 72 のドレイン端子と NMOS トランジスタ 73 のドレイン端子とが接続されて出力端子を構成する。

【0048】

後段のインバータ回路 74 の PMOS トランジスタ 75 のゲート端子と NMOS トランジスタ 76 のゲート端子とを接続した入力端子には、初段のインバータ回路 71 の出力端子が接続される。

30

【0049】

また、後段のインバータ回路 74 の PMOS トランジスタ 75 のソース端子は電源 ($V_{DD} = 3\text{ V}$) に接続され、NMOS トランジスタ 76 のソース端子はグランド GND (0 V) に接続されている。さらに、後段のインバータ回路 74 の PMOS トランジスタ 75 のドレイン端子と NMOS トランジスタ 76 のドレイン端子とが接続されて出力端子を構成する。後段のインバータ回路 74 の出力端子はタイミング生成部 37 に接続され、後段のインバータ回路 74 から出力されたパルス信号がタイミング生成部 37 に入力される。

40

【0050】

ここで、特許第 6138406 号公報に開示されているパルス信号検出部は、本実施形態の電圧調整部 39 と同様に、パルス信号を出力する構成となっているが、パルス信号検出部はハイパスフィルタにより構成されている。時定数の大きいハイパスフィルタにより構成されたパルス信号検出部を、例えば本実施形態の第 2 チップ 32 に組み込んだ場合、第 2 チップ 32 の面積が大きくなってしまう。

【0051】

これに対して、本実施形態の電圧調整部 39 は、2 つの論理回路を組み合わせた構成となっているため、電圧調整部 39 を第 2 チップ 32 に組み込んだ場合、時定数の大きいハイパスフィルタを第 2 チップ 32 に組み込んだ場合よりも第 2 チップ 32 の面積を削減す

50

ることができる。

【 0 0 5 2 】

なお、本実施形態では、電圧調整部 3 9 は、第 2 チップ 3 2 に設けられているが、これに限定されることなく、第 1 チップ 3 1 に設けてもよい。また、本実施形態では、撮像部 3 0 は、第 1 チップ 3 1 及び第 2 チップ 3 2 の 2 つのチップを有しているが、これに限定されることなく、例えば第 1 チップ 3 1 の各回路と第 2 チップ 3 2 の各回路を備えた 1 つのチップを有する構成であってもよい。

【 0 0 5 3 】

次に、このように構成された第 1 の実施形態の内視鏡システム 1 の動作について説明する。

10

【 0 0 5 4 】

図 4 は、第 1 の実施形態に係る内視鏡システムの動作の一例を示すタイミングチャートである。図 4 において、最上段から順に、基準クロック信号、交流電圧パルス信号、平滑部 3 3 の出力信号、初段のインバータ回路 7 1 の出力信号、後段のインバータ回路 7 4 の出力信号、水平同期信号、垂直同期信号を示す。

【 0 0 5 5 】

交流電圧パルス信号生成部 5 6 のバッファアンプ 5 7 により H i g h 側が 4 . 5 V、L o w 側が - 1 V の交流電圧パルス信号が生成されて平滑部 3 3 及び電圧調整部 3 9 に出力される。ただし、交流電圧パルス信号生成部 5 6 から出力された交流電圧パルス信号は、ユニバーサルケーブル 1 3 での減衰により H i g h 側が 1 . 5 V に下がる。そのため、図 4 に示すように、H i g h 側が 1 . 5 V、L o w 側が - 1 V の交流電圧パルス信号が平滑部 3 3 及び電圧調整部 3 9 に入力される。

20

【 0 0 5 6 】

平滑部 3 3 は、交流電圧パルス信号を抵抗 4 0 及びバイパスコンデンサ 4 1 により形成されたローパスフィルタ回路により平滑化し、- 1 V の定電圧（負電源）を生成して出力する。

【 0 0 5 7 】

電圧調整部 3 9 の初段のインバータ回路 7 1 は、閾値が 1 V となっている。また、インバータ回路 7 1 の P M O S トランジスタ 7 2 のソース端子は電源（V D D = 3 V）に接続され、N M O S トランジスタ 7 3 のソース端子は、平滑部 3 3 の出力（負電源 = - 1 V）に接続されている。

30

【 0 0 5 8 】

そのため、電圧調整部 3 9 の初段のインバータ回路 7 1 は、交流電圧パルス信号が 1 . 5 V の場合には - 1 V の出力信号を出力し、交流電圧パルス信号が - 1 V の場合には 3 V の出力信号を出力する。

【 0 0 5 9 】

電圧調整部 3 9 の後段のインバータ回路 7 4 は、閾値が 1 . 5 V となっている。また、インバータ回路 7 4 の P M O S トランジスタ 7 5 のソース端子は電源（V D D = 3 V）に接続され、N M O S トランジスタ 7 6 のソース端子は、グランド G N D（0 V）に接続されている。

40

【 0 0 6 0 】

そのため、電圧調整部 3 9 の後段のインバータ回路 7 4 は、前段のインバータ回路 7 1 の出力信号が 3 V の場合には 0 V の出力信号を出力し、前段のインバータ回路 7 1 の出力信号が - 1 V の場合には 3 V の出力信号を出力する。

【 0 0 6 1 】

これにより、電圧調整部 3 9 は、H i g h 側が 3 V、L o w 側が 0 V のパルス信号をタイミング生成部 3 7 に出力することになる。タイミング生成部 3 7 は、パルス信号生成部 5 4 から入力される基準クロック信号及び電圧調整部 3 9 から入力されるパルス信号に基づいて、水平同期信号及び垂直同期信号を生成する。タイミング生成部 3 7 は、生成した水平同期信号及び垂直同期信号に基づいて駆動信号を生成し、受光部 3 4 及び読み出し部

50

36に出力する。

【0062】

以上のように、電圧調整部39は、2つのインバータ回路71及び74、すなわち、2つの論理回路により構成されているため、第2チップ32に電圧調整部39を設けた場合、時定数の大きいハイパスフィルタを設けた場合よりもチップ面積を小さくすることができる。

【0063】

よって、本実施形態の撮像装置としての内視鏡2によれば、パルス信号を出力する回路をチップに搭載した場合でも、チップ面積を小型化することができる。

【0064】

10

(第1の実施形態の変形例1)

次に、第1の実施形態の変形例1について説明する。

上述した第1の実施形態の電圧調整部39は、2つの論理回路として2つのインバータ回路71及び74を有して構成されていたが、他の構成であってもよい。

【0065】

図5は、電圧調整部39の構成の他の例を示す回路図である。なお、図5において、図3と同様の構成については、同一の符号を付して説明を省略する。

【0066】

図5に示すように、電圧調整部39は、前段のNAND回路81と、後段のインバータ回路74とにより構成されている。NAND回路81は、2入力NANDゲートであり、PMOSトランジスタ82及び83と、NMOSトランジスタ84及び85とを有して構成されている。

20

【0067】

NAND回路81の一方の入力端子には交流電圧パルス信号が入力され、他方の入力端子には電源($V_{DD} = 3V$)が入力される。より具体的には、PMOSトランジスタ82のゲート端子及びNMOSトランジスタ85のゲート端子には交流電圧パルス信号が入力され、PMOSトランジスタ83のゲート端子及びNMOSトランジスタ84のゲート端子には電源($V_{DD} = 3V$)が入力される。

【0068】

NAND回路81は、2つの入力端子にH信号が入力された場合にL信号を出力し、その他の信号が入力された場合にH信号を出力する。そのため、NAND回路81は、一方の入力端子に交流パルス信号として1.5Vが入力され、他方の入力端子に電源(3V)が入力された場合、平滑部33の出力である-1Vを出力する。また、NAND回路81は、一方の入力端子に交流パルス信号として-1Vが入力され、他方の入力端子に電源(3V)が入力された場合、3Vを出力する。

30

【0069】

後段のインバータ回路74は、第1の実施形態と同じ構成であり、前段のNAND回路81の出力信号が3Vの場合には0Vの出力信号を出力し、前段のNAND回路81の出力信号が-1Vの場合には3Vの出力信号を出力する。これにより、電圧調整部39は、第1の実施形態と同様に、High側が3V、Low側が0Vのパルス信号をタイミング生成部37に出力することができる。

40

【0070】

このように、電圧調整部39は、2つの論理回路、すなわち、前段のNAND回路81と後段のインバータ回路74とにより構成されているため、第1の実施形態と同様に、時定数の大きいハイパスフィルタを設けた場合よりもチップ面積を小さくすることができる。

【0071】

図6は、電圧調整部39の構成の他の例を示す回路図である。なお、図6において、図5と同様の構成については、同一の符号を付して説明を省略する。

【0072】

50

図 6 に示すように、電圧調整部 39 は、図 5 の N A N D 回路 8 1 に代わり、N A N D 回路 8 1 a を用いて構成されている。N A N D 回路 8 1 a は、図 5 の P M O S トランジスタ 8 3 及び N M O S トランジスタ 8 4 に代わり、それぞれ P M O S トランジスタ 8 3 a 及び N M O S トランジスタ 8 4 a を用いて構成されている。

【 0 0 7 3 】

P M O S トランジスタ 8 3 a のゲート端子及び N M O S トランジスタ 8 4 a のゲート端子には、交流電圧パルス信号が入力される。その他の構成は、図 5 と同様である。すなわち、N A N D 回路 8 1 a の 2 つの入力端子は共通化されており、2 つの入力端子のいずれにも交流電圧パルス信号が入力される。

【 0 0 7 4 】

そのため、N A N D 回路 8 1 a は、2 つの入力端子に交流パルス信号として 1 . 5 V が入力された場合、平滑部 33 の出力である - 1 V を出力する。また、N A N D 回路 8 1 a は、2 つの入力端子に交流パルス信号として - 1 V が入力された場合、3 V を出力する。

【 0 0 7 5 】

後段のインバータ回路 7 4 は、第 1 の実施形態と同じ構成であり、前段の N A N D 回路 8 1 a の出力信号が 3 V の場合には 0 V の出力信号を出力し、前段の N A N D 回路 8 1 a の出力信号が - 1 V の場合には 3 V の出力信号を出力する。これにより、電圧調整部 39 は、第 1 の実施形態と同様に、H i g h 側が 3 V、L o w 側が 0 V のパルス信号をタイミング生成部 37 に出力することができる。

【 0 0 7 6 】

このように、電圧調整部 39 は、2 つの論理回路、すなわち、前段の N A N D 回路 8 1 a と後段のインバータ回路 7 4 とにより構成されているため、第 1 の実施形態と同様に、時定数の大きいハイパスフィルタを設けた場合よりもチップ面積を小さくすることができる。

【 0 0 7 7 】

よって、変形例 1 の撮像装置としての内視鏡 2 によれば、第 1 の実施形態の内視鏡 2 と同様に、パルス信号を出力する回路をチップに搭載した場合でも、チップ面積を小型化することができる。

【 0 0 7 8 】

(第 1 の実施形態の変形例 2)

次に、第 1 の実施形態の変形例 2 について説明する。

図 7 は、電圧調整部 39 の構成の他の例を示す回路図である。なお、図 7 において、図 3 と同様の構成については、同一の符号を付して説明を省略する。

【 0 0 7 9 】

図 7 に示すように、電圧調整部 39 は、前段の N O R 回路 9 1 と、後段のインバータ回路 7 4 とにより構成されている。N O R 回路 9 1 は、2 入力 N O R ゲートであり、P M O S トランジスタ 9 2 及び 9 3 と、N M O S トランジスタ 9 4 及び 9 5 とを有して構成されている。

【 0 0 8 0 】

N O R 回路 9 1 の一方の入力端子には交流電圧パルス信号が入力され、他方の入力端子には平滑部 33 の出力 (負電圧 = - 1 V) が入力される。より具体的には、P M O S トランジスタ 9 2 のゲート端子及び N M O S トランジスタ 9 5 のゲート端子には交流電圧パルス信号が入力され、P M O S トランジスタ 9 3 のゲート端子及び N M O S トランジスタ 9 4 のゲート端子には平滑部 33 の出力 (負電圧 = - 1 V) が入力される。

【 0 0 8 1 】

N O R 回路 9 1 は、少なくとも 1 つの入力端子に H 信号が入力された場合に L 信号を出力し、その他の信号が入力された場合に H 信号を出力する。そのため、N O R 回路 9 1 は、一方の入力端子に交流パルス信号として 1 . 5 V が入力され、他方の入力端子に平滑部 33 の出力 (- 1 V) が入力された場合、平滑部 33 の出力である - 1 V を出力する。また、N O R 回路 9 1 は、一方の入力端子に交流パルス信号として - 1 V が入力され、他方

10

20

30

40

50

の入力端子に平滑部 33 の出力 (- 1 V) が入力された場合、3 V を出力する。

【 0082 】

後段のインバータ回路 74 は、第 1 の実施形態と同じ構成であり、前段の NOR 回路 91 の出力信号が 3 V の場合には 0 V の出力信号を出力し、前段の NOR 回路 91 の出力信号が - 1 V の場合には 3 V の出力信号を出力する。これにより、電圧調整部 39 は、第 1 の実施形態と同様に、High 側が 3 V、Low 側が 0 V のパルス信号をタイミング生成部 37 に出力することができる。

【 0083 】

このように、電圧調整部 39 は、2 つの論理回路、すなわち、前段の NOR 回路 91 と後段のインバータ回路 74 とにより構成されているため、第 1 の実施形態と同様に、時定数の大きいハイパスフィルタを設けた場合よりもチップ面積を小さくすることができる。

10

【 0084 】

図 8 は、電圧調整部 39 の構成の他の例を示す回路図である。なお、図 8 において、図 7 と同様の構成については、同一の符号を付して説明を省略する。

【 0085 】

図 8 に示すように、電圧調整部 39 は、図 7 の NOR 回路 91 に代わり、NOR 回路 91 a を用いて構成されている。NOR 回路 91 a は、図 7 の PMOS トランジスタ 93 及び NMOS トランジスタ 94 に代わり、それぞれ PMOS トランジスタ 93 a 及び NMOS トランジスタ 94 a を用いて構成されている。

【 0086 】

20

PMOS トランジスタ 93 a のゲート端子及び NMOS トランジスタ 94 a のゲート端子には、交流電圧パルス信号が入力される。その他の構成は、図 7 と同様である。すなわち、NOR 回路 91 a の 2 つの入力端子は共通化されており、2 つの入力端子のいずれにも交流電圧パルス信号が入力される。

【 0087 】

そのため、NOR 回路 91 a は、2 つの入力端子に交流パルス信号として 1 . 5 V が入力された場合、平滑部 33 の出力である - 1 V を出力する。また、NOR 回路 91 a は、2 つの入力端子に交流パルス信号として - 1 V が入力された場合、3 V を出力する。

【 0088 】

後段のインバータ回路 74 は、第 1 の実施形態と同じ構成であり、前段の NOR 回路 91 a の出力信号が 3 V の場合には 0 V の出力信号を出力し、前段の NOR 回路 91 a の出力信号が - 1 V の場合には 3 V の出力信号を出力する。これにより、電圧調整部 39 は、第 1 の実施形態と同様に、High 側が 3 V、Low 側が 0 V のパルス信号をタイミング生成部 37 に出力することができる。

30

【 0089 】

このように、電圧調整部 39 は、2 つの論理回路、すなわち、前段の NOR 回路 91 a と後段のインバータ回路 74 とにより構成されているため、第 1 の実施形態と同様に、時定数の大きいハイパスフィルタを設けた場合よりもチップ面積を小さくすることができる。

【 0090 】

40

よって、変形例 2 の撮像装置としての内視鏡 2 によれば、第 1 の実施形態の内視鏡 2 と同様に、パルス信号を出力する回路をチップに搭載した場合でも、チップ面積を小型化することができる。

【 0091 】

(第 2 の実施形態)

次に、第 2 の実施形態について説明する。

図 9 は、第 2 の実施形態の内視鏡システム 1 の要部の構成を示すブロック図である。なお、図 9 において、図 2 と同様の構成については、同一の符号を付して説明を省略する。

【 0092 】

図 9 に示すように、第 2 の実施形態の撮像部 30 は、図 2 の撮像部 30 の電圧調整部 3

50

9に代わり、電圧調整部39Aを用いて構成されている。図2の電圧調整部39には、平滑部33の出力が接続されている。これに対し、本実施形態の電圧調整部39Aには、平滑部33の出力が接続されていない。すなわち、本実施形態の電圧調整部39Aには、交流電圧パルス信号生成部56からの交流電圧パルス信号のみが入力されるように構成されている。その他の構成は、第1の実施形態と同様である。

【0093】

次に、電圧調整部39Aの詳細な構成について説明する。図10は、電圧調整部39Aの構成の一例を示す回路図である。なお、図10において、図3と同様の構成については、同一の符号を付して説明を省略する。

【0094】

図10に示すように、電圧調整部39Aは、レベルシフト回路101と、初段のインバータ回路71と、後段のインバータ回路74とを有して構成される。電圧調整部39Aは、レベルシフト回路101、初段のインバータ回路71及び後段のインバータ回路74を直列に接続した構成であり、レベルシフト回路101の出力端子が初段のインバータ回路71の入力端子に接続され、初段のインバータ回路71の出力端子が後段のインバータ回路74の入力端子に接続されている。

【0095】

レベルシフト回路101は、PMOSトランジスタ102と定電流源103とにより構成されるソースフォロワ回路で構成されている。PMOSトランジスタ102のゲート端子には、交流電圧パルス信号生成部56からの交流電圧パルス信号が入力される。また、PMOSトランジスタ102のソース端子は定電流源103に接続され、PMOSトランジスタ102のドレイン端子はグランドGNDに接続されている。本実施形態では、レベルシフト回路101は、入力された交流電圧パルス信号を+1Vシフトして初段のインバータ回路71に出力する。

【0096】

また、上述した第1の実施形態では、初段のインバータ回路71のNMOSトランジスタ73ソース端子が平滑部33の出力に接続されていた。これに対し、本実施形態では、初段のインバータ回路71のNMOSトランジスタ73のソース端子はグランドGNDに接続されている。その他の構成は、第1の実施形態と同様である。

【0097】

このように、本実施形態の電圧調整部39Aは、レベルシフト回路101と、論理回路である初段のインバータ回路71及び後段のインバータ回路74とを組み合わせた構成となっている。レベルシフト回路101は、論理回路よりも面積が大きいアナログ回路であるが、比較的簡単な回路で構成することができ、時定数が大きいハイパスフィルタに比べて面積は小さくなる。そのため、電圧調整部39Aを第2チップ32に組み込んだ場合、時定数の大きいハイパスフィルタを第2チップ32に組み込んだ場合よりも第2チップ32の面積を削減することができる。

【0098】

次に、このように構成された第2の実施形態の内視鏡システム1の動作について説明する。

【0099】

図11は、第2の実施形態に係る内視鏡システムの動作の一例を示すタイミングチャートである。図11において、最上段から順に、基準クロック信号、交流電圧パルス信号、レベルシフト回路101の出力信号、初段のインバータ回路71の出力信号、後段のインバータ回路74の出力信号、水平同期信号、垂直同期信号を示す。

【0100】

交流電圧パルス信号生成部56のバッファアンプ57によりHigh側が4.5V、Low側が-1Vの交流電圧パルス信号が生成される。ただし、交流電圧パルス信号生成部56から出力された交流電圧パルス信号は、ユニバーサルケーブル13での減衰により、High側が1.5Vに下がる。そのため、図11に示すように、High側が1.5V

10

20

30

40

50

、Low側が-1Vの交流電圧パルス信号が電圧調整部39Aに入力される。

【0101】

電圧調整部39Aのレベルシフト回路101は、交流電圧パルス信号を+1Vシフトさせて出力する。より具体的には、図11に示すように、レベルシフト回路101は、交流電圧パルス信号が1.5Vの場合には2.5Vの出力信号を初段のインバータ回路71に出力する。一方、レベルシフト回路101は、交流電圧パルス信号が-1Vの場合には、グラウンドGNDの0Vが入力されている状態となるため、1Vの出力信号を初段のインバータ回路71に出力する。

【0102】

初段のインバータ回路71は、閾値が1.5Vとなっている。また、インバータ回路71のPMOSトランジスタ72のソース端子は電源(VDD=3V)に接続され、NMOSトランジスタ73のソース端子は、グラウンドGNDに接続されている。

10

【0103】

そのため、電圧調整部39Aの初段のインバータ回路71は、レベルシフト回路101の出力信号が2.5Vの場合には0Vの出力信号を出力し、レベルシフト回路101の出力信号が1Vの場合には3Vの出力信号を出力する。

【0104】

電圧調整部39Aの後段のインバータ回路74は、閾値が1.5Vとなっている。また、インバータ回路74のPMOSトランジスタ75のソース端子は電源(VDD=3V)に接続され、NMOSトランジスタ76のソース端子は、グラウンドGND(0V)に接続されている。

20

【0105】

そのため、電圧調整部39Aの後段のインバータ回路74は、前段のインバータ回路71の出力信号が3Vの場合には0Vの出力信号を出力し、前段のインバータ回路71の出力信号が0Vの場合には3Vの出力信号を出力する。

【0106】

これにより、電圧調整部39Aは、High側が3V、Low側が0Vのパルス信号をタイミング生成部37に出力することになる。タイミング生成部37は、パルス信号生成部54から入力される基準クロック信号及び電圧調整部39から入力されるパルス信号に基づいて、水平同期信号及び垂直同期信号を生成する。タイミング生成部37は、生成した水平同期信号及び垂直同期信号に基づいて駆動信号を生成し、受光部34及び読み出し部36に出力する。

30

【0107】

以上のように、電圧調整部39Aは、レベルシフト回路101、2つのインバータ回路71及び74、すなわち、3つの論理回路により構成されているため、第2チップ32に電圧調整部39Aを設けた場合、時定数の大きいハイパスフィルタを設けた場合よりもチップ面積を小さくすることができる。

【0108】

よって、本実施形態の撮像装置としての内視鏡2によれば、第1の実施形態の内視鏡2と同様に、パルス信号を出力する回路をチップに搭載した場合でも、チップ面積を小型化することができる。

40

【0109】

(第3の実施形態)

次に、第3の実施形態について説明する。

図12は、第3の実施形態の内視鏡システム1の要部の構成を示すブロック図である。なお、図12において、図9と同様の構成については、同一の符号を付して説明を省略する。

【0110】

図12に示すように、第3の実施形態の撮像部30は、図9の撮像部30の電圧調整部39Aに代わり、電圧調整部39Bを用いて構成されている。その他の構成は、第1の実

50

施形態と同様である。

【 0 1 1 1 】

次に、電圧調整部 3 9 B の詳細な構成について説明する。図 1 3 は、電圧調整部 3 9 B の構成の一例を示す回路図である。なお、図 1 3 において、図 1 0 と同様の構成については、同一の符号を付して説明を省略する。

【 0 1 1 2 】

図 1 3 に示すように、電圧調整部 3 9 B は、増幅回路 1 1 1 と、後段のインバータ回路 7 4 とを有して構成される。電圧調整部 3 9 B は、増幅回路 1 1 1 及び後段のインバータ回路 7 4 を直列に接続した構成であり、増幅回路 1 1 1 の出力端子が後段のインバータ回路 7 4 の入力端子に接続されている。

10

【 0 1 1 3 】

増幅回路 1 1 1 は、ゲインが 2 倍の反転増幅回路により構成されている。増幅回路 1 1 1 は、入力された交流電圧パルス信号を - 2 倍して後段のインバータ回路 7 4 に出力する。その他の構成は、第 1 の実施形態と同様である。

【 0 1 1 4 】

このように、本実施形態の電圧調整部 3 9 B は、増幅回路 1 1 1 と、論理回路である後段のインバータ回路 7 4 を組み合わせた構成となっている。増幅回路 1 1 1 は、論理回路よりも面積が大きいアナログ回路であるが、比較的簡単な回路で構成することができ、時定数が多いハイパスフィルタに比べて面積は小さくなる。そのため、電圧調整部 3 9 B を第 2 チップ 3 2 に組み込んだ場合、時定数の大きいハイパスフィルタを第 2 チップ 3 2 に組み込んだ場合よりも第 2 チップ 3 2 の面積を削減することができる。

20

【 0 1 1 5 】

次に、このように構成された第 3 の実施形態の内視鏡システム 1 の動作について説明する。

【 0 1 1 6 】

図 1 4 は、第 3 の実施形態に係る内視鏡システムの動作の一例を示すタイミングチャートである。図 1 4 において、最上段から順に、基準クロック信号、交流電圧パルス信号、増幅回路 1 1 1 の出力信号、後段のインバータ回路 7 4 の出力信号、水平同期信号、垂直同期信号を示す。

【 0 1 1 7 】

交流電圧パルス信号生成部 5 6 のバッファアンプ 5 7 により H i g h 側が 4 . 5 V 、 L o w 側が - 1 V の交流電圧パルス信号が生成される。ただし、交流電圧パルス信号生成部 5 6 から出力された交流電圧パルス信号は、ユニバーサルケーブル 1 3 での減衰により、H i g h 側が 1 . 5 V に下がる。そのため、図 1 4 に示すように、H i g h 側が 1 . 5 V 、L o w 側が - 1 V の交流電圧パルス信号が電圧調整部 3 9 B に入力される。

30

【 0 1 1 8 】

電圧調整部 3 9 B の増幅回路 1 1 1 は、交流電圧パルス信号をゲインが 2 倍で反転増幅して出力する。より具体的には、図 1 4 に示すように、増幅回路 1 1 1 は、交流電圧パルス信号が 1 . 5 V の場合にはゲインが 2 倍で反転増幅した場合、- 3 V となるが、出力電圧は下限となる 0 V の出力信号を後段のインバータ回路 7 4 に出力する。一方、増幅回路 1 1 1 は、交流電圧パルス信号が - 1 V の場合にはゲインが 2 倍で反転増幅して 2 V の出力信号を後段のインバータ回路 7 4 に出力する。

40

【 0 1 1 9 】

電圧調整部 3 9 B の後段のインバータ回路 7 4 は、閾値が 1 . 5 V となっている。また、インバータ回路 7 4 の P M O S トランジスタ 7 5 のソース端子は電源 (V D D = 3 V) に接続され、N M O S トランジスタ 7 6 のソース端子は、グランド G N D (0 V) に接続されている。

【 0 1 2 0 】

そのため、電圧調整部 3 9 B の後段のインバータ回路 7 4 は、増幅回路 1 1 1 の出力信号が 2 V の場合には 0 V の出力信号を出力し、増幅回路 1 1 1 の出力信号が 0 V の場合に

50

は 3 V の出力信号を出力する。

【 0 1 2 1 】

これにより、電圧調整部 3 9 B は、H i g h 側が 3 V、L o w 側が 0 V のパルス信号をタイミング生成部 3 7 に出力することになる。タイミング生成部 3 7 は、パルス信号生成部 5 4 から入力される基準クロック信号及び電圧調整部 3 9 から入力されるパルス信号に基づいて、水平同期信号及び垂直同期信号を生成する。タイミング生成部 3 7 は、生成した水平同期信号及び垂直同期信号に基づいて駆動信号を生成し、受光部 3 4 及び読み出し部 3 6 に出力する。

【 0 1 2 2 】

以上のように、電圧調整部 3 9 B は、増幅回路 1 1 1 及びインバータ回路 7 4、すなわち、2つの論理回路により構成されているため、第 2 チップ 3 2 に電圧調整部 3 9 B を設けた場合、時定数の大きいハイパスフィルタを設けた場合よりもチップ面積を小さくすることができる。

10

【 0 1 2 3 】

よって、本実施形態の撮像装置としての内視鏡 2 によれば、第 1 の実施形態の内視鏡 2 と同様に、パルス信号を出力する回路をチップに搭載した場合でも、チップ面積を小型化することができる。

【 0 1 2 4 】

本発明は、上述した実施形態に限定されるものではなく、本発明の要旨を変えない範囲において、種々の変更、改変等が可能である。

20

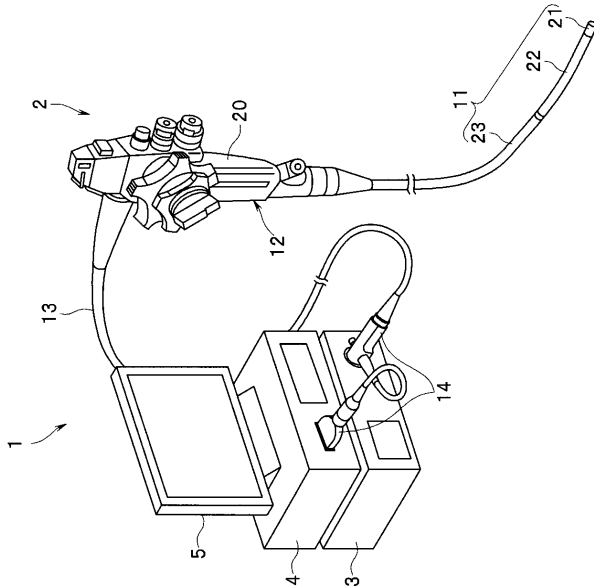
【符号の説明】

【 0 1 2 5 】

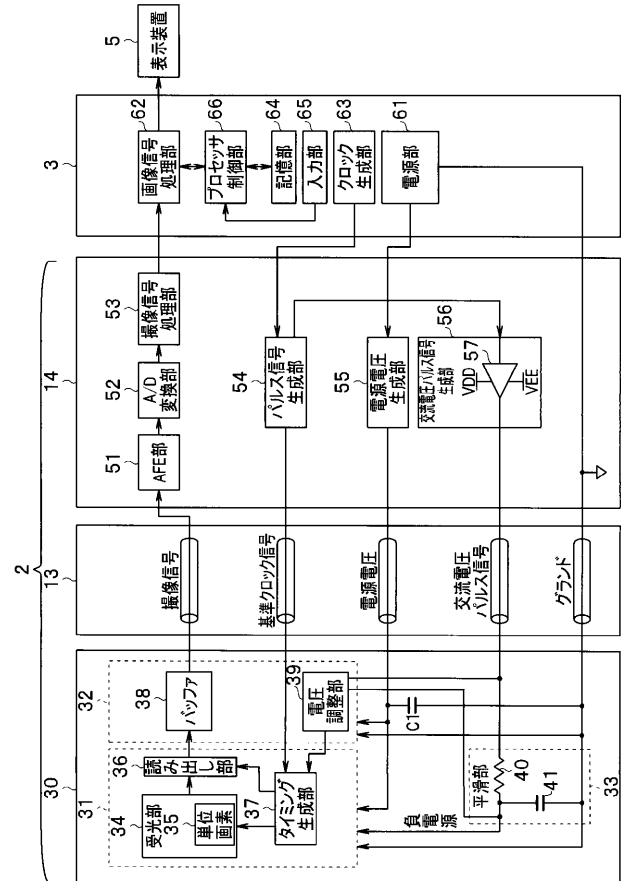
1・・・内視鏡システム、2・・・内視鏡、3・・・光源装置、4・・・ビデオプロセッサ、5・・・表示装置、11・・・挿入部、12・・・操作部、13・・・ユニバーサルケーブル、14・・・コネクタ部、20・・・操作部本体、21・・・先端部、22・・・湾曲部、23・・・可撓管部、30・・・撮像部、31・・・第 1 チップ、32・・・第 2 チップ、33・・・平滑部、34・・・受光部、35・・・単位画素、36・・・読み出し部、37・・・タイミング生成部、38・・・バッファ、39, 39 A, 39 B・・・電圧調整部、40・・・抵抗、41・・・バイパスコンデンサ、51・・・A F E 部、52・・・A / D 変換部、53・・・撮像信号処理部、54・・・パルス信号生成部、55・・・電源電圧生成部、56・・・交流電圧パルス信号生成部、57・・・バッファアンプ、61・・・電源部、62・・・画像信号処理部、63・・・クロック生成部、64・・・記憶部、65・・・入力部、66・・・プロセッサ制御部、71, 74・・・インバータ回路、72, 75, 82, 83, 83 a, 92, 93, 93 a、102・・・P M O S トランジスタ、73, 76, 84, 84 a, 85, 94, 94 a, 95・・・N M O S トランジスタ、81, 81 a・・・N A N D 回路、91, 91 a・・・N O R 回路、101・・・レベルシフト回路、103・・・定電流源、111・・・増幅回路。

30

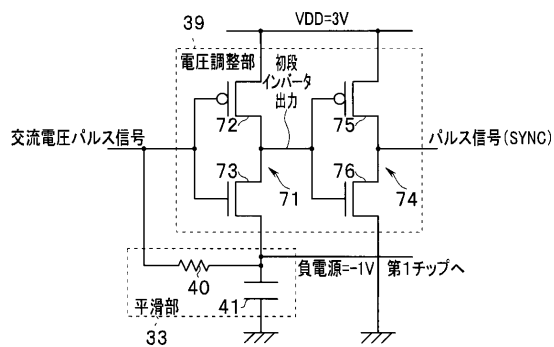
【図 1】



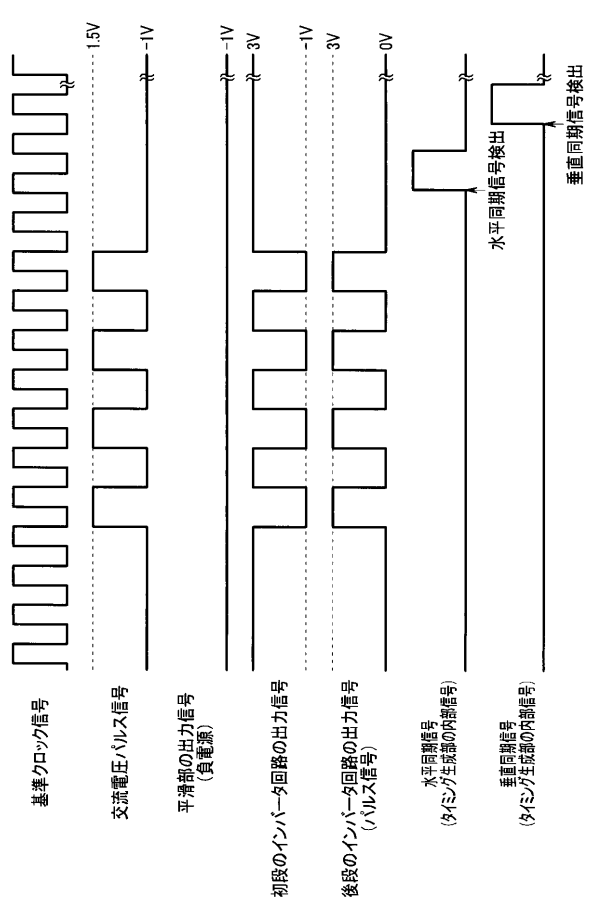
【図 2】



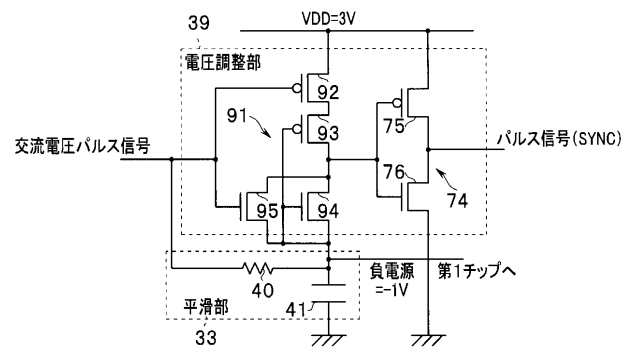
【図 3】



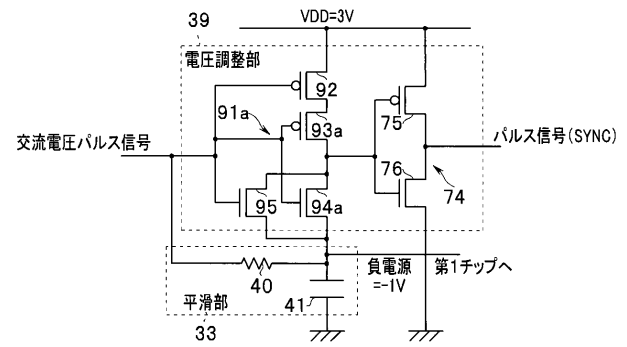
【図 4】



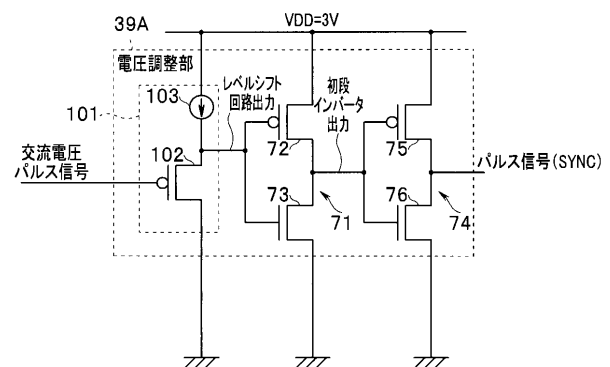
【圖 7】



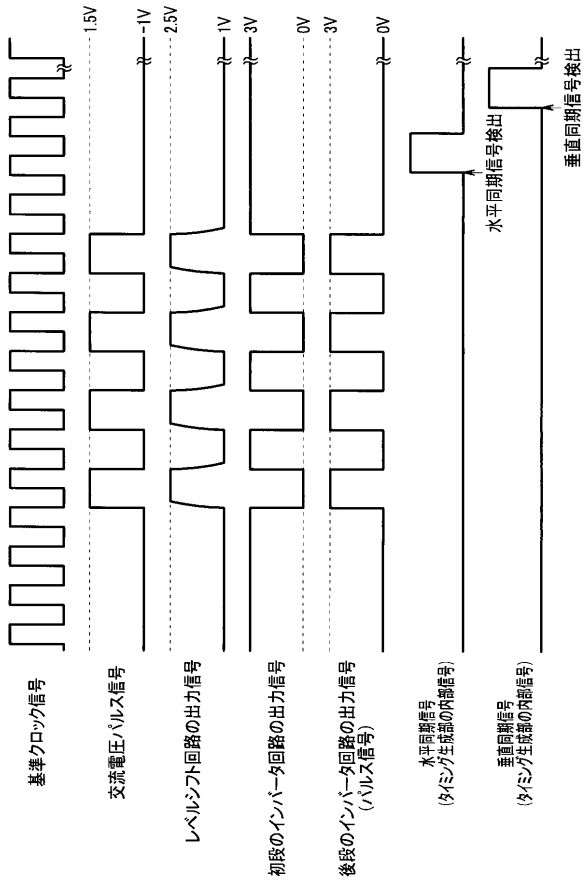
【 図 8 】



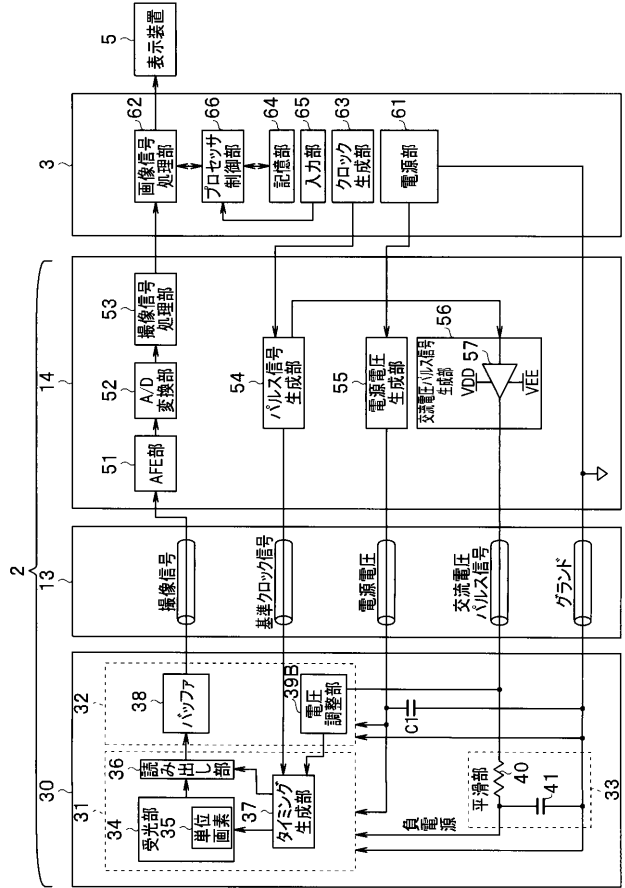
【 図 1 0 】



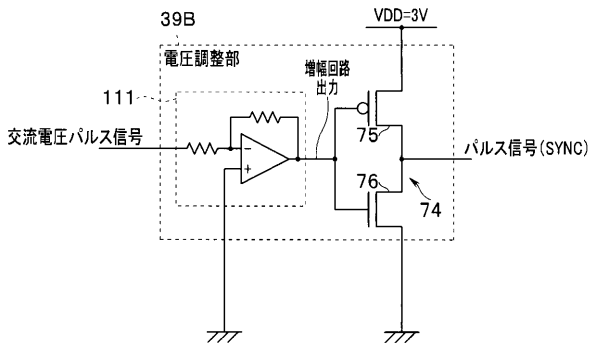
【図 1 1】



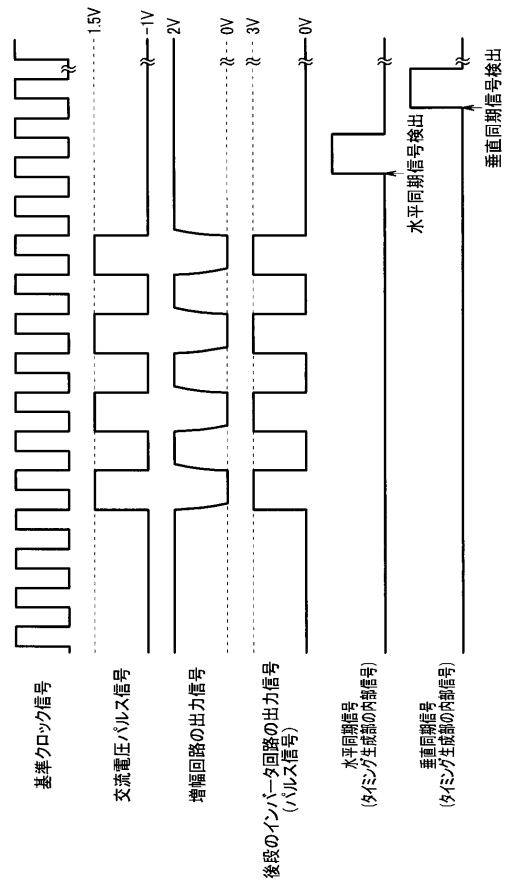
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

(51) Int. Cl.			F I				テーマコード (参考)
A 6 1 B	1/00	(2006.01)	A 6 1 B	1/00	6 8 0		

F ターム (参考) 5C054 CC07 HA12
5C122 DA26 EA54 FC07 GE11 GE17 GF04 HA34 HB02

专利名称(译)	成像装置，内窥镜和内窥镜系统		
公开(公告)号	JP2020022677A	公开(公告)日	2020-02-13
申请号	JP2018149380	申请日	2018-08-08
[标]申请(专利权)人(译)	奥林巴斯株式会社		
申请(专利权)人(译)	奥林巴斯公司		
[标]发明人	山崎 晋		
发明人	山崎 晋		
IPC分类号	A61B1/045 G02B23/24 H04N7/18 H04N5/225 H04N5/232 A61B1/00		
CPC分类号	A61B1/00 A61B1/045 G02B23/24 H04N5/225 H04N5/232 H04N5/369 H04N7/18		
FI分类号	A61B1/045.630 G02B23/24.A H04N7/18.M H04N5/225.500 H04N5/232.410 A61B1/00.680		
F-TERM分类号	2H040/CA04 2H040/CA11 2H040/DA03 2H040/DA12 2H040/DA14 2H040/DA15 2H040/DA21 2H040/GA02 2H040/GA11 4C161/CC06 4C161/LL02 4C161/NN01 4C161/SS03 5C054/CC07 5C054/HA12 5C122/DA26 5C122/EA54 5C122/FC07 5C122/GE11 5C122/GE17 5C122/GF04 5C122/HA34 5C122/HB02		
代理人(译)	伊藤 进 长谷川 靖 ShinoUra修		
外部链接	Espacenet		

摘要(译)

提供一种即使在芯片上安装有用于输出脉冲信号的电路时也能够减小芯片面积的成像装置。图像拾取装置以二维矩阵布置，接收来自外部的光，根据接收到的光的量生成图像拾取信号，用于将电力传输到图像拾取装置的通用电缆13，以及通用电缆。设置在电缆13的近端侧上的AC电压脉冲信号将输入脉冲信号的正电压电平和负电压电平转换为预定的正电压电平和预定的负电压电平，并且将AC电压脉冲信号输出到通用电缆13。AC电压脉冲信号发生器56和通用电缆13设置在通用电缆13的尖端侧，以将从通用电缆13发送的AC电压脉冲信号的预定正电压电平和预定负电压电平转换成DC电压电平，输出电压脉冲信号的电压调节单元39。[选择图]图1

